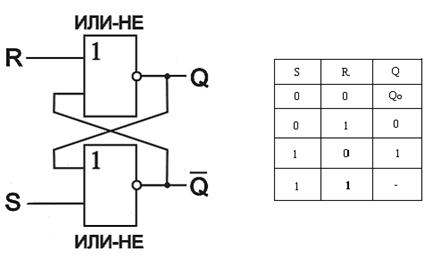
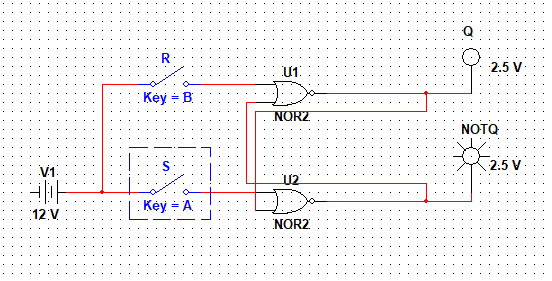
Отчет по лабораторной работе №4 (Схемы памяти)

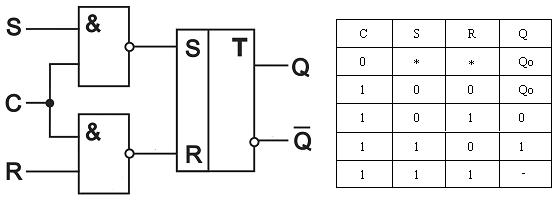
Задание №1

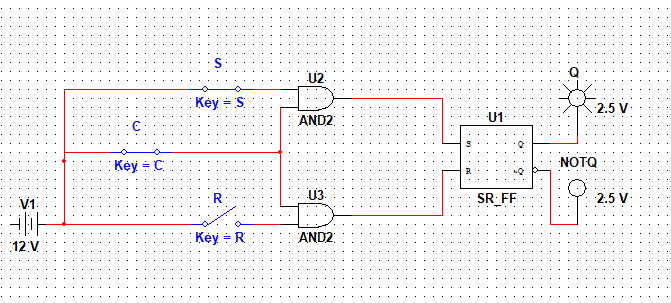




|  |  |  |  |
| --- | --- | --- | --- |
| S | R | Q | NOTQ |
| 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 |

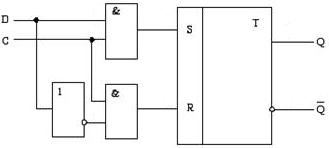
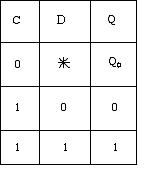
Задание №2

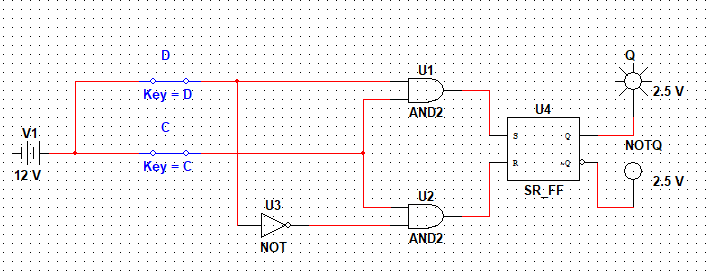




|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| C | S | R | Q | NOTQ |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

Задание №3

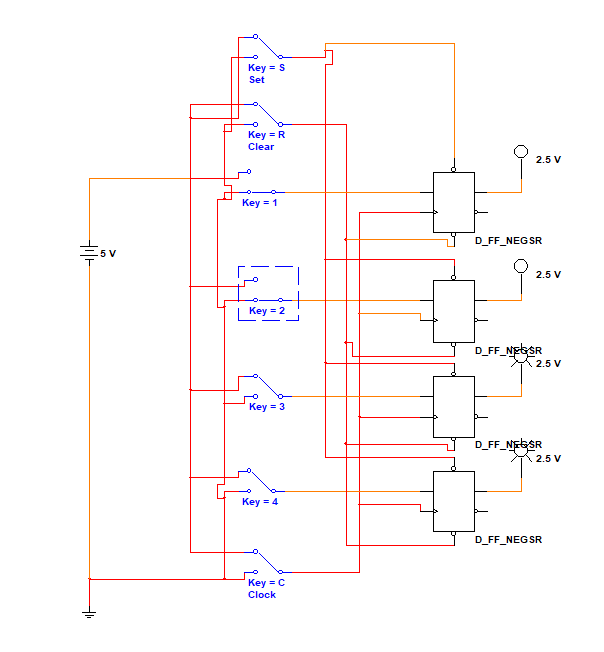
 

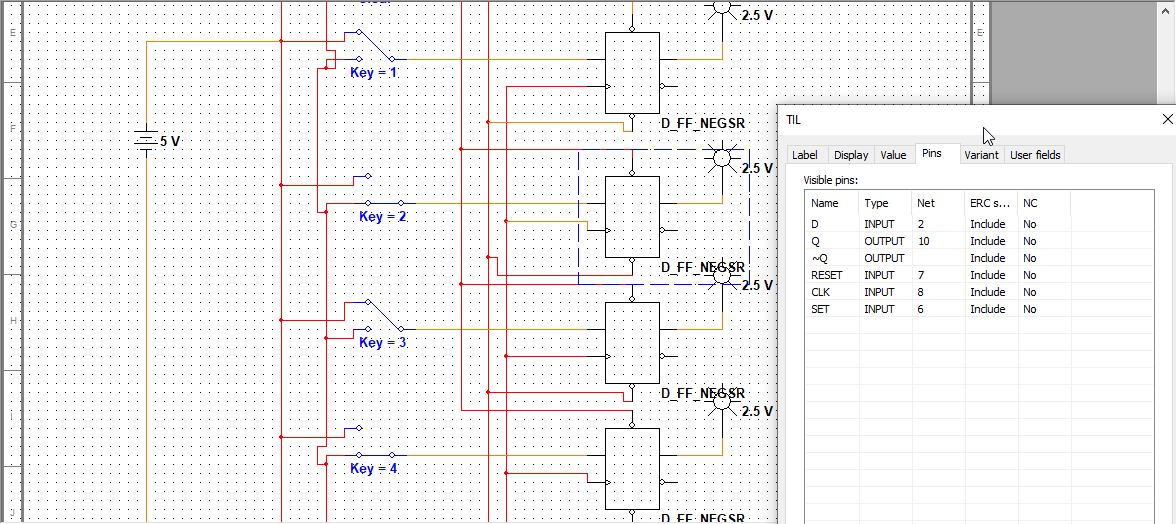


|  |  |  |  |
| --- | --- | --- | --- |
| C | D | Q | NOTQ |
| 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

Задание №4

Схема 4-разрядного регистра представляет собой устройство, состоящее из четырех триггеров, которые могут хранить четыре двоичных разряда информации. В данной схеме (Key = 1, Key = 2, Key =3, Key = 4) представляют собой двоичные разряды информации. (Key = C “Clock”) сигнал CLK используется для записи значений на вход D в регистр. При подаче сигнала “Clock” значения на входах D каждого триггера записываются в соответствующий выход Q. (Key = S “Set”) вход “Set” устанавливает все значения Q триггеров в 1. (Key = R “Clear”) очищает информацию в триггерах, выполняет сброс т.е. устанавливает все значения Q в 0. Триггер имеет 4 входа (D, RESET, CLK, SET) и два выхода (Q, not Q). Выход Q представляет собой текущее значение, хранимое в триггере.





Задание №5

Исследована схема памяти 4х3. Данная схема представляет собой память, состоящую из 12 триггеров. Столбцы лампочек регулируются с помощью ключей 1, 2 и 3. Строчки лампочек регулируются с помощью ключей A и S. Ключи C, W и O позволяют сохранить данные, управлять состоянием лампочек O1, O2, O3 и лампочек, находящихся в центре схемы, которые являются ячейкой памяти.

